

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06303574 A**(43) Date of publication of application: **28 . 10 . 94**

(51) Int. Cl.

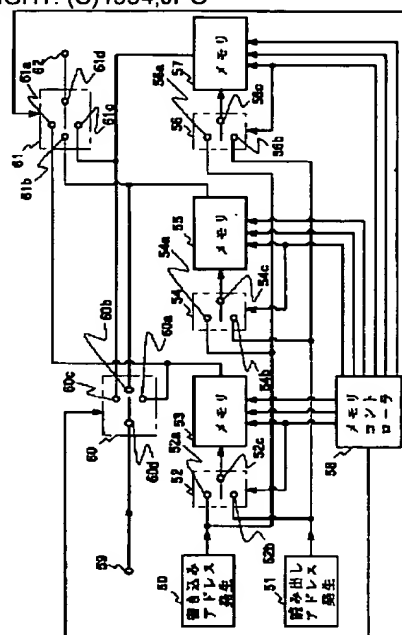
H04N 5/92
H04N 5/93
(21) Application number: **05090253**(22) Date of filing: **16 . 04 . 93**(71) Applicant: **SONY CORP**(72) Inventor: **YASUSATO YOICHIRO**(54) **SHUFFLING CIRCUIT**

(57) Abstract:

PURPOSE: To simplify constitution by decelerating memory operating speed in shuffling processing by performing write on different memory at every data in prescribed unit, and readout from another-memory different from the one on which the write is being performed.

CONSTITUTION: Corresponding input data are supplied to the memory 53, 55, and 57 at every prescribed unit via a change-over switch 60 based on an enable signal from a memory controller 58, respectively, and they are written on addresses supplied from an address generation circuit. Also, the memory set in a data readable state is outputted from an output terminal 62 as shuffling data via a change-over switch 61, and it is supplied to a recording system circuit. At this time, the shuffling is performed by changing the write and readout sequence of the data on the memory by changing the sequence of the addresses outputted from the address generation circuits 50, 51 on which the write and readout are performed. Thereby, it is possible to simplify the constitution of a shuffling circuit by decelerating the memory operating speed.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-303574

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/92	Z	4227-5C		
	H	4227-5C		
5/93	C	4227-5C		

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21)出願番号 特願平5-90253

(22)出願日 平成5年(1993)4月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 安里 洋一郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

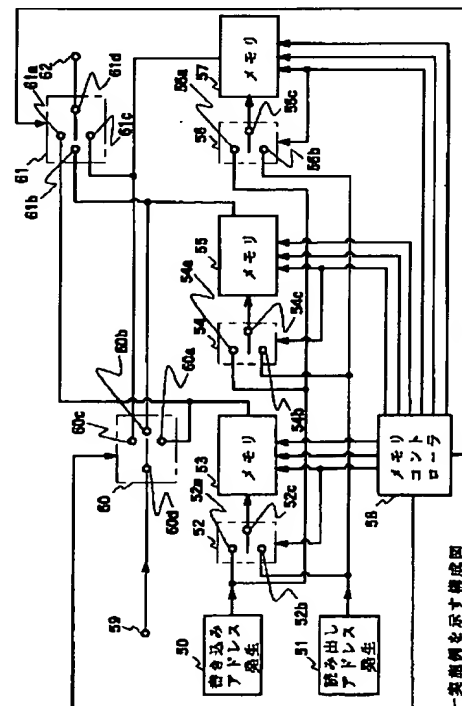
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 シャッフリング回路

(57)【要約】

【目的】 構成が簡単なシャッフリング回路(デ・シャッフリング回路)を提供する。

【構成】 所定単位毎に分割された入力データを所定単位毎に別のメモリ53, 55, 57に書込ませ、この書込み中のメモリとは異なるメモリから、データの書込み順序とは異なる順序で記憶データを読出させてシャッフリングを行うようにした。



【特許請求の範囲】

【請求項1】 所定単位毎に分割された入力データを選択させる書込みメモリ選択手段と、書込みアドレス発生手段と、少なくともそれぞれが上記所定単位 of データを記憶できる容量の複数のメモリと、上記書込みアドレス発生手段が出力するアドレスの発生順序とは異なる順序でアドレスを出力する読出しアドレス発生手段と、出力データの読出しメモリ選択手段とを設け、

上記書込みメモリ選択手段で選択された所定単位 of データを、対応したメモリの、上記書込みアドレス発生手段が出力するアドレスに書込ませると同時に、

上記読出しメモリ選択手段で選択された上記書込み中のメモリとは別のメモリに記憶された所定単位 of データを、上記読出しアドレス発生手段が出力するアドレスから読出して出力させるようにしたことを特徴とするシャッフルリング回路。

【請求項2】 上記所定単位 of データを上記メモリに書込み処理或いはメモリから読出し処理するのに必要な時間をLとしたとき、上記メモリをn個（nは任意の数）増やして、少なくとも時間nLだけデータを遅延させるようにした請求項1記載のシャッフルリング回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばデジタル映像信号をシャッフルリングしてから磁気テープに記録するデジタルVTRに適用して好適なシャッフルリング回路に関する。

【0002】

【従来の技術】従来、例えばデジタルVTRにてデジタル映像信号を磁気テープに記録する場合、デジタル映像信号のデータを並び替え処理であるシャッフルリングを行ってから磁気テープに記録し、再生時にはこのシャッフルリングされた再生データを元の配列に戻すデ・シャッフルリングを行うようにしてある。このようにシャッフルリングして記録することで、再生時に再生データの欠落が連続的に発生（即ちバーストエラーの発生）した場合でも、シャッフルリングにより欠落したデータの元の位置が分散しているので、データの復元が容易になる。

【0003】ここで、図4にデジタルVTRの記録系の構成の一例を示すと、図中1及び2はアナログ音声信号及びデジタル音声信号の入力端子を示し、この入力端子1及び2に得られる音声信号を、インターフェース3に供給する。このインターフェース3では、入力端子1、2に得られる音声信号を、このVTRで扱うフォーマットのデジタル音声信号に変換し、変換したデジタル音声信号を音声データブロック4に供給する。この音声データブロック4では、後述する映像系の回路で処理する映像信号に同期させる処理を行い、処理されたデジタル音声信号を外符号処理回路5に供給する。この外符号処理回路5では、予め決められたエラー訂正符号生成方式に

従ってエラー訂正符号を生成させ、この生成されたエラー訂正符号を外符号としてデジタル音声データに付加する処理を行う。そして、処理されたデジタル音声データを、シャッフルリング回路6に供給し、データの並び替えを行うシャッフルリング処理を行う。そして、シャッフルリングされたデジタル音声データをマルチプレクサ7に供給する。

【0004】また、図中9及び10はアナログ映像信号及びデジタル映像信号の入力端子を示し、この入力端子9及び10に得られる映像信号を、インターフェース11に供給する。このインターフェース11では、入力端子9、10に得られる映像信号を、このVTRで扱うフォーマットのデジタル映像信号に変換し、変換したデジタル映像信号をチャンネルスイッチ12に供給する。このチャンネルスイッチ12では、1フィールドの映像信号を3セグメントに分割する処理を行い、処理された各セグメントのデータを外符号処理回路13に供給する。この外符号処理回路13では、予め決められたエラー訂正符号生成方式に従ってエラー訂正符号を生成させ、この生成されたエラー訂正符号を外符号として各セグメント of デジタル映像データに付加する処理を行う。そして、処理されたデジタル映像データを、シャッフルリング回路14に供給し、データの並び替えを行うシャッフルリング処理を行う。そして、シャッフルリングされたデジタル映像データをマルチプレクサ7に供給する。

【0005】そして、マルチプレクサ7では、シャッフルリング回路6から供給されるデジタル音声データと、シャッフルリング回路14から供給されるデジタル映像データと、同期及びIDデータ発生回路8から供給される同期データ及びIDデータとを、1系統のデジタルデータとする。そして、マルチプレクサ7が出力するデータを、内符号処理回路15に供給し、予め決められたエラー訂正符号生成方式に従ってエラー訂正符号を生成させ、この生成されたエラー訂正符号を内符号としてデジタルデータに付加する処理を行う。そして、処理されたデジタルデータを、チャンネルコーディング回路16に供給して、各チャンネル毎にDC変動のないデータとするコーディングを行い、コーディングされたデータを記録アンプ17を介して回転磁気ヘッド18に供給し、磁気テープ19に傾斜トラックを順次形成させて記録させる。この場合、例えば1フィールドのデータを6トラックに分割（即ち1セグメント of 映像データを2トラックに分割）して記録させる。

【0006】また、図5にデジタルVTRの再生系の構成の一例を示すと、磁気テープ19より回転磁気ヘッド20で再生したデータを、再生アンプ21及び波形等化回路22を介してチャンネルデコーディング回路23に供給して、元のデータを復元する。そして、復元されたデータを同期検出回路24に供給して、同期データを検出した後、内符号エラー訂正回路25に供給し、内符号

に基づいたエラー訂正を行う。そして、エラー訂正されたデータをスイッチ回路26に供給して、音声データと映像データとを分離させ、分離された映像データをバッファ27を介してデ・シャッフリング回路28に供給する。

【0007】そして、このデ・シャッフリング回路28では、記録時にシャッフリングされたデータを元の配列に戻すデ・シャッフリング処理を行い、処理されたデータを外符号エラー訂正回路29に供給し、外符号に基づいたエラー訂正処理を行い、処理された映像データをチャンネルスイッチ30に供給する。このチャンネルスイッチ30では、各セグメントに分割された再生データを1系統とする処理を行い、処理された映像データをエラー修正回路31でエラー修正した後、インターフェース32に供給し、アナログ映像信号への変換及び伝送用のフォーマットのデジタル映像信号への変換を行い、変換されたアナログ映像信号を出力端子33に得ると共に、変換されたデジタル映像信号を出力端子34に得る。

【0008】また、スイッチ回路26で分離された音声データを、デ・シャッフリング回路35に供給する。このデ・シャッフリング回路35では、記録時にシャッフリングされたデータを元の配列に戻すデ・シャッフリング処理を行い、処理されたデータを外符号エラー訂正回路36に供給し、外符号に基づいたエラー訂正処理を行い、処理された音声データをエラー修正回路37でエラー修正した後、インターフェース38に供給し、アナログ音声信号への変換及び伝送用のフォーマットのデジタル音声信号への変換を行い、変換されたアナログ音声信号を出力端子39に得ると共に、変換されたデジタル音声信号を出力端子40に得る。

【0009】

【発明が解決しようとする課題】ところで、記録時にデータの並び替えを行うシャッフリング処理や、再生時に元の配列に戻すデ・シャッフリング処理を行う場合には、1セグメント分の映像データをメモリに書込ませて、このメモリからの読出し順序を変えることで、処理される。ここで、このシャッフリング処理或いはデ・シャッフリング処理を、1個のメモリで行うようにすると、同一のメモリで書込みと読出しを同時に行うことは出来ないので、メモリへのデータ書込みとメモリからのデジタル読出しとを時分割で高速処理させる必要があり、メモリ制御に使用するクロックの高速化などを行う必要が生じ、シャッフリング回路やデ・シャッフリング回路の構成が複雑になる不都合があった。

【0010】本発明はかかる点に鑑みてなされたもので、構成が簡単なシャッフリング回路を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、所定単位毎に分割された入力データを選択させる書込みメモリ選択手

段60と、書込みアドレス発生手段50と、少なくともそれぞれが所定単位のデータを記憶できる容量の複数のメモリ53、55、57と、書込みアドレス発生手段50が出力するアドレスの発生順序とは異なる順序でアドレスを出力する読出しアドレス発生手段51と、出力データの読出しメモリ選択手段61とを設け、書込みメモリ選択手段60で選択された所定単位のデータを、対応したメモリの、書込みアドレス発生手段50が出力するアドレスに書込ませると同時に、読出しメモリ選択手段51で選択された書込み中のメモリとは別のメモリに記憶された所定単位のデータを、読出しアドレス発生手段51が出力するアドレスから読出して出力させるようにしたものである。

【0012】更に本発明は上述において、所定単位のデータをメモリに書込み処理或いはメモリから読出し処理するのに必要な時間を L としたとき、メモリを n 個(n は任意の数)増やして、少なくとも時間 nL だけデータを遅延させるようにしたものである。

【0013】

【作用】上述せる本発明によれば、所定単位のデータ毎に別のメモリに書込ませ、書込み中のメモリとは別のメモリから読出しを行うようにしたので、書込みを行うメモリと読出しを行うメモリとを切り替えるようにすれば、シャッフリング処理のためのメモリ作動速度を低速化することができる。

【0014】更に上述において本発明の構成によれば、必要な数だけメモリを増やすことで、メモリの数に対応した遅延処理がシャッフリング処理と同時にできるようになる。

30 【0015】

【実施例】以下に、図1～図3を参照して本発明シャッフリング回路の一実施例について詳細に説明する。

【0016】本例においては、デジタルデータの記録を行うヘリカル・スキャン方式のデジタルVTRのシャッフリング回路に適用したもので、ここではNTSC方式のデジタル映像信号の記録時のシャッフリング処理をする回路としたもので、図1に示すように構成する。図1において、50は書込みアドレス発生回路、51は読出しアドレス発生回路を示し、それぞれのアドレス発生回路50及び51から書込みアドレスデータ及び読出しアドレスデータが出力される。ここで、書込みアドレス発生回路50が出力する書込みアドレスデータを、切換スイッチ52、54、56の第1の固定接点52a、54a、56aに供給する。また、読出しアドレス発生回路51が出力する読出しアドレスデータを、切換スイッチ52、54、56の第2の固定接点52b、54b、56bに供給する。

【0017】このそれぞれの切換スイッチ52、54、56の可動接点52c、54c、56cの切換は、後述するメモリコントローラ58の制御で行われる。即ち、

メモリコントローラ58から各切換スイッチ52, 54, 56に、書込み／読出しイネーブル信号を供給させ、このイネーブル信号で書込み状態であることが示される場合、可動接点をそれぞれのスイッチの第1の固定接点52a, 54a, 56aと接続させ、読出し状態であることが示される場合、可動接点をそれぞれのスイッチの第2の固定接点52b, 54b, 56bと接続させる。

【0018】そして、切換スイッチ52の可動接点52cに得られるアドレスデータを、第1のメモリ53に供給する。また、切換スイッチ54の可動接点54cに得られるアドレスデータを、第2のメモリ55に供給する。さらに、切換スイッチ56の可動接点56cに得られるアドレスデータを、第3のメモリ57に供給する。

【0019】このそれぞれのメモリ53, 55, 57は、記憶データの書き換えが自在なRAMとして構成され、それぞれのメモリ53, 55, 57はデータの記憶エリアが2分割され、各分割エリアが1セグメント分の映像データを記憶できる容量を有する。従って、3個のメモリ53, 55, 57で合計6セグメントの映像データの記憶ができる。ここで、メモリ53の2個の記憶エリアをA1, A2とし、メモリ55の2個の記憶エリアをA3, A4とし、メモリ57の2個の記憶エリアをA5, A6とする(図2A参照)。なお、ここでの1セグメントは、1フィールドのデータの1/3のデータで構成される(即ち3セグメントで1フィールドの映像データが得られる)。

【0020】そして、各メモリ53, 55, 57は、メモリコントローラ58によりデータの書込み及び読出しが制御される。即ち、メモリコントローラ58から、各メモリ53, 55, 57に書込み／読出しイネーブル信号とアウトプットイネーブル信号とチップイネーブル信号とが個別に供給され、チップイネーブル信号により書込みや読出しが行われるメモリが選択されると共に、書込み／読出しイネーブル信号により書込みと読出しの何れかが選択され、アウトプットイネーブル信号により読出されたデータが出力できる状態に制御される。このメモリコントローラ58による制御状態については、後で説明する。

【0021】また、図1において59はシャッフリングするデータの入力端子を示し、この入力端子59に得られるデータを切換スイッチ60の可動接点60dに供給する。この切換スイッチ60の3個の固定接点60a, 60b, 60cは、それぞれメモリ53, 55, 57のデータ入出力端に接続され、可動接点60dが接続された固定接点60a, 60b又は60cに得られるデータを、対応したメモリ53, 55又は57に供給する。この切換スイッチ60の可動接点60dの切換えは、メモリコントローラ58から供給される書込みイネーブル信号に基づいて行われる。

【0022】そして、何れかのメモリ53, 55又は57に切換スイッチ60側からデータが供給されている状態で、このメモリに供給されるイネーブル信号で書込みが可能な状態とされているとき、書込みアドレス発生回路50から供給されるアドレスに、切換スイッチ60側から供給されるデータが書込まれる。

【0023】また、各メモリ53, 55, 57に供給されるイネーブル信号で、何れかのメモリがデータ読出し可能な状態とされているとき、読出しアドレス発生回路51から供給されるアドレスからデータが読出され、このメモリのデータ入出力端に接続された切換スイッチ61の固定接点61a, 61b, 61cに供給され、この固定接点と接続された可動接点61dに得られるデータが、出力端子62からシャッフリングされたデータとして出力される。そして、この出力端子62から出力されるデータを、シャッフリング回路の後段の記録系回路(図4参照)に供給する。

【0024】ここで本例においては、書込みアドレス発生回路50が出力するアドレスの順序と、読出しアドレス発生回路51が出力するアドレスの順序とを変えることで、データが各メモリに書込まれる順序と読出される順序とを変えて、シャッフリングが行われるようにしてある。

【0025】このシャッフリング処理を図3に示すと、各メモリ53, 55, 57に2個ずつ用意された合計6個の記憶エリアA1, A2, A3, A4, A5, A6にデータを書込ませる際には、例えば1セグメントのデータが、85本の水平ラインh1~h85のデータで構成されていると想定すると、この85本の水平ラインh1~h85のデータを所定方向(図3では縦に矢印で示す方向)に順次書込ませる。この場合、書込ませる順序をアドレス順にはせず、逐次変化させる。そして読出す際には、この書込み方向と直交する方向(図3では横方向)で記憶データを順次読出させ、データを並び替えるシャッフリング処理を行う。従って、この場合のシャッフリング処理としては、データを書込ませる際の書込みアドレスの順序の変化によるシャッフリングと、データを読出す際の読出し方向の変化による2重のシャッフリングが行われることになる。

【0026】そして、このようなシャッフリング処理を行うメモリの切換制御について説明すると、ここではメモリコントローラ58の制御で図2Bに示す制御が行われる。即ち、メモリ53の記憶エリアA1に入力データを書込ませているとき、メモリ55の記憶エリアA3から記憶データを読出させる。以下、データのセグメントが変化する毎に、書込みエリアをメモリ55のエリアA3→メモリ53のエリアA2→メモリ55のエリアA4→メモリ53のエリアA1→…と4セグメント周期で周期的に変化させ、読出しエリアをメモリ53のエリアA2→メモリ55のエリアA4→メモリ53のエリアA

1→メモリ55のエリアA3→・・・と4セグメント周期で周期的に変化させる。なお、この例はNTSC方式の映像信号を処理する場合で、ここではメモリ57のエリアA5、A6は使用しない。また、シャッフリング回路の前段(図4参照)の回路で付与された外符号のエラー訂正コードも映像データと同時にシャッフリングされる。

【0027】このように処理することで、それぞれのタイミングで、書込みに使用されるメモリと読出しに使用されるメモリとが異なり、書込みと読出しとを同時に処理できるようになる。また、このように書込みと読出しを同時に処理できることで、メモリへのデータの書込み速度とメモリからのデータの読出し速度も、データの伝送速度と同じにすることができ、低速で作動させることができるようになる。さらに、図2Bより判るように、メモリに書込まれてから読出されるまでの期間が3セグメントの処理に相当する期間確保され、それだけデータが遅延されることになる。

【0028】このデータの遅延時間をより長くしたい場合には、図2Bの例では使用しなかったメモリ57へもデータを書込ませるようにして、データが書込まれてから読出されるまでの時間を長くするようにすれば良い。さらに遅延時間を長くしたい場合には、メモリを増設すれば良い。即ち、1セグメントのデータをメモリに書込み処理或いはメモリから読出し処理するのに必要な時間をLとしたとき、メモリの記憶エリアをn個(nは任意の数)増やすことで、遅延時間をnLだけ増やすことができる。

【0029】なお、1フィールドのデジタル映像信号が4セグメントで構成されるPAL方式の映像信号をこのシャッフリング回路で処理する場合には、図2Cに示す制御を行うようにすれば良い。即ち、メモリ53の記憶エリアA1に入力データを書込ませているとき、メモリ55の記憶エリアA3から記憶データを読出させる。以下、データのセグメントが変化する毎に、書込みエリアをメモリ55のエリアA3→メモリ53のエリアA2→メモリ55のエリアA4→メモリ57のエリアA5→メモリ53のエリアA1→・・・と5セグメント周期で周期的に変化させ、読出しエリアをメモリ53のエリアA2→メモリ55のエリアA4→メモリ57のエリアA5→メモリ53のエリアA1→メモリ55のエリアA3→・・・と5セグメント周期で周期的に変化させる。なお、このPAL方式の映像信号を処理する場合には、メモリ57のエリアA6は使用しない。

【0030】このPAL方式に適用した例の場合には、*

*メモリに書込まれてから読出されるまでの期間が4セグメントの処理に相当する期間確保され、それだけデータが遅延されることになる。

【0031】尚、シャッフリング回路とデ・シャッフリング回路とは、基本的には同じ構成で、データの処理順序が逆になるだけであり、上述した説明ではVTRの記録系のシャッフリング回路についてのみ説明したが、VTRの再生系のデ・シャッフリング回路にも適用できることは勿論である。また、映像データ以外のデータのシャッフリングやデ・シャッフリングにも適用できることは勿論である。さらに、上述の実施例は本発明の一例であり、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得ることは勿論である。

【0032】

【発明の効果】上述せる本発明によれば、所定単位 of データ毎に別のメモリに書込ませ、書込み中のメモリとは別のメモリから読出しを行うようにしたので、書込みを行うメモリと読出しを行うメモリとを切替えるようにすれば、シャッフリング処理のためのメモリ作動速度を低速化することができ、それだけシャッフリング回路の構成を簡単にすることができる。

【0033】更に上述において本発明によれば、必要な数だけメモリを増やすことで、メモリの数に対応した遅延処理がシャッフリング処理と同時にできるようになり、記録系や再生系での信号処理等に必要な遅延処理が、簡単にできる。

【図面の簡単な説明】

【図1】本発明シャッフリング回路の一実施例を示す構成図である。

【図2】本発明シャッフリング回路の一実施例の処理状態を示す説明図である。

【図3】本発明シャッフリング回路の一実施例の書込み状態を示す説明図である。

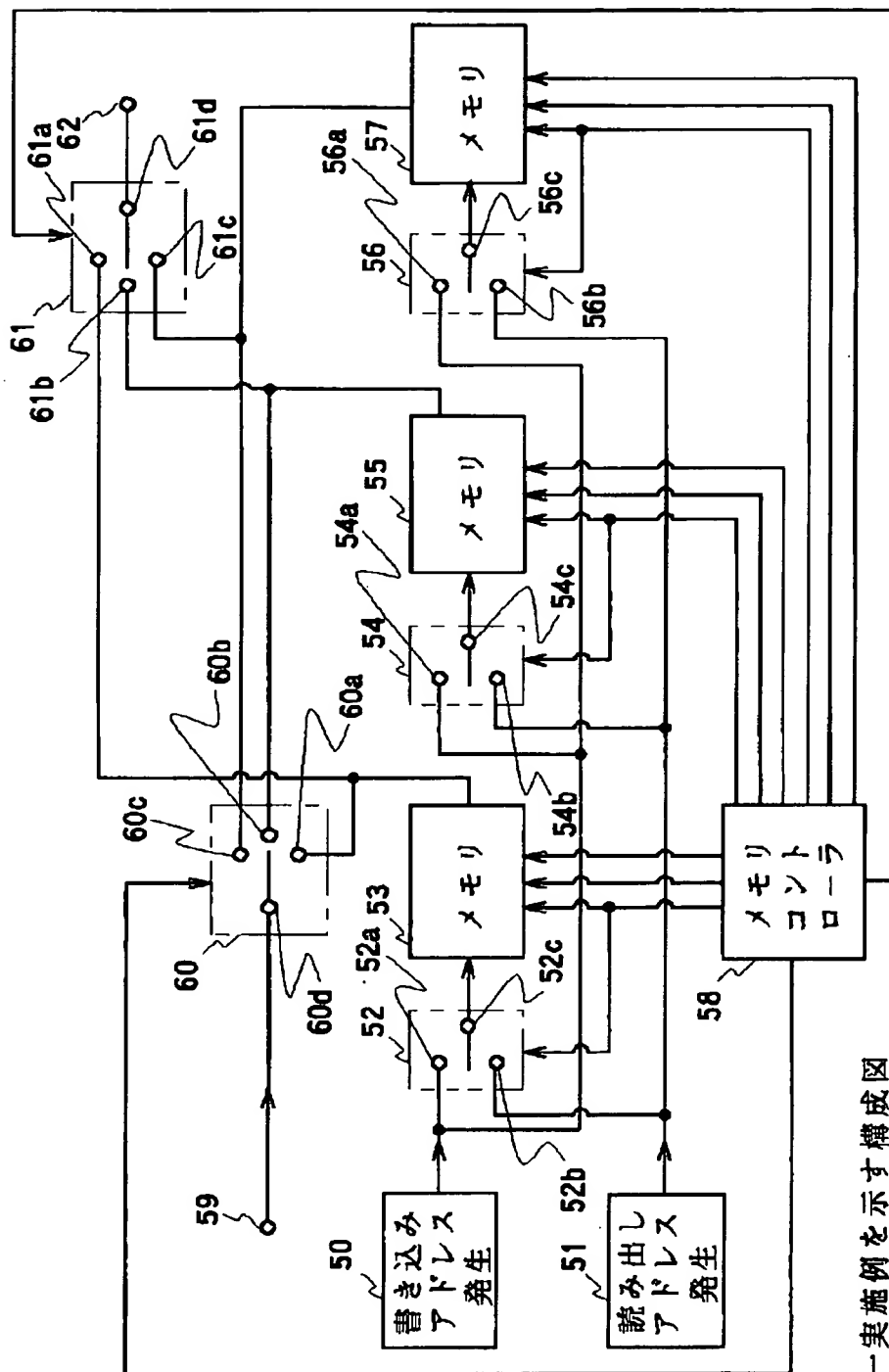
【図4】デジタルVTRの記録系の一例を示す構成図である。

【図5】デジタルVTRの再生系の一例を示す構成図である。

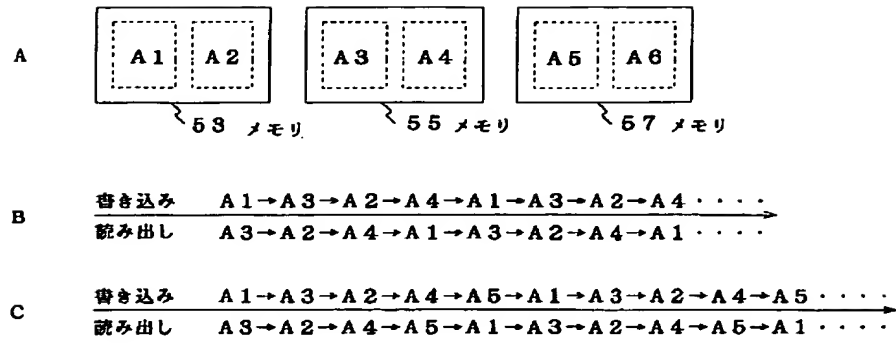
【符号の説明】

50 書込みアドレス発生回路
51 読出しアドレス発生回路
53, 55, 57 メモリ
58 メモリコントローラ
59 入力端子
62 出力端子

一 実施例を示す構成図

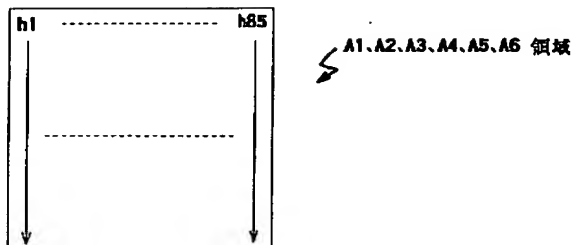


【図2】



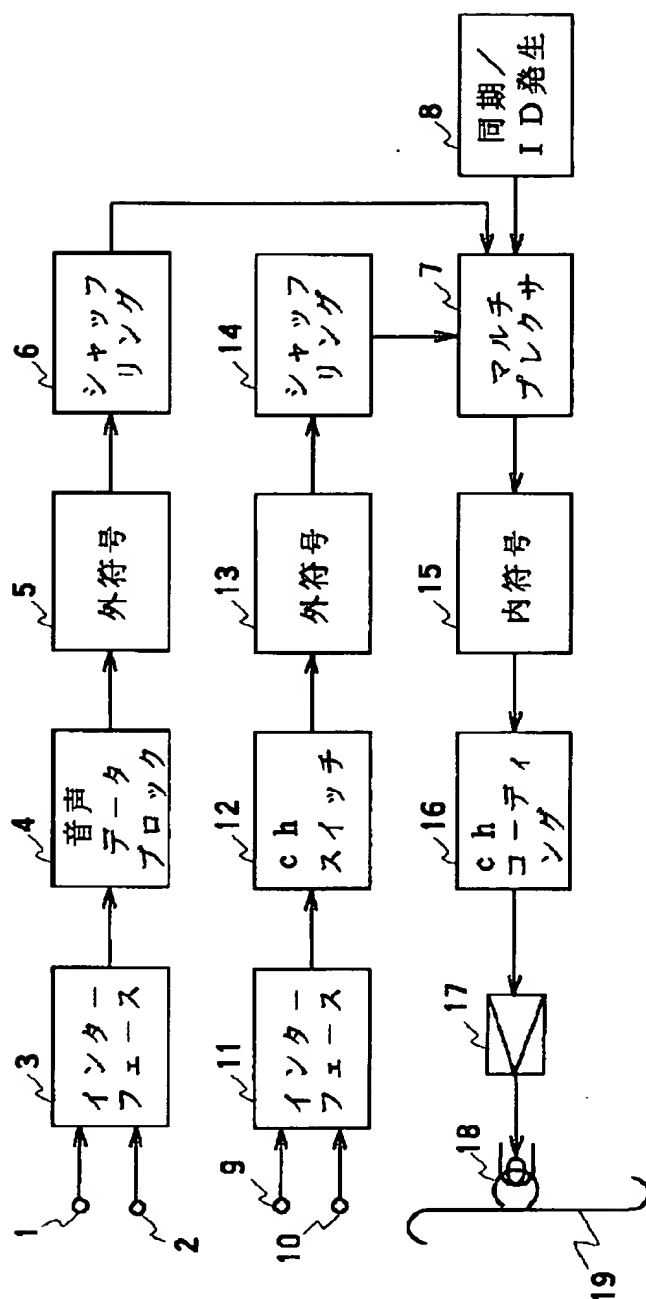
一実施例の説明に供する説明図

【図3】



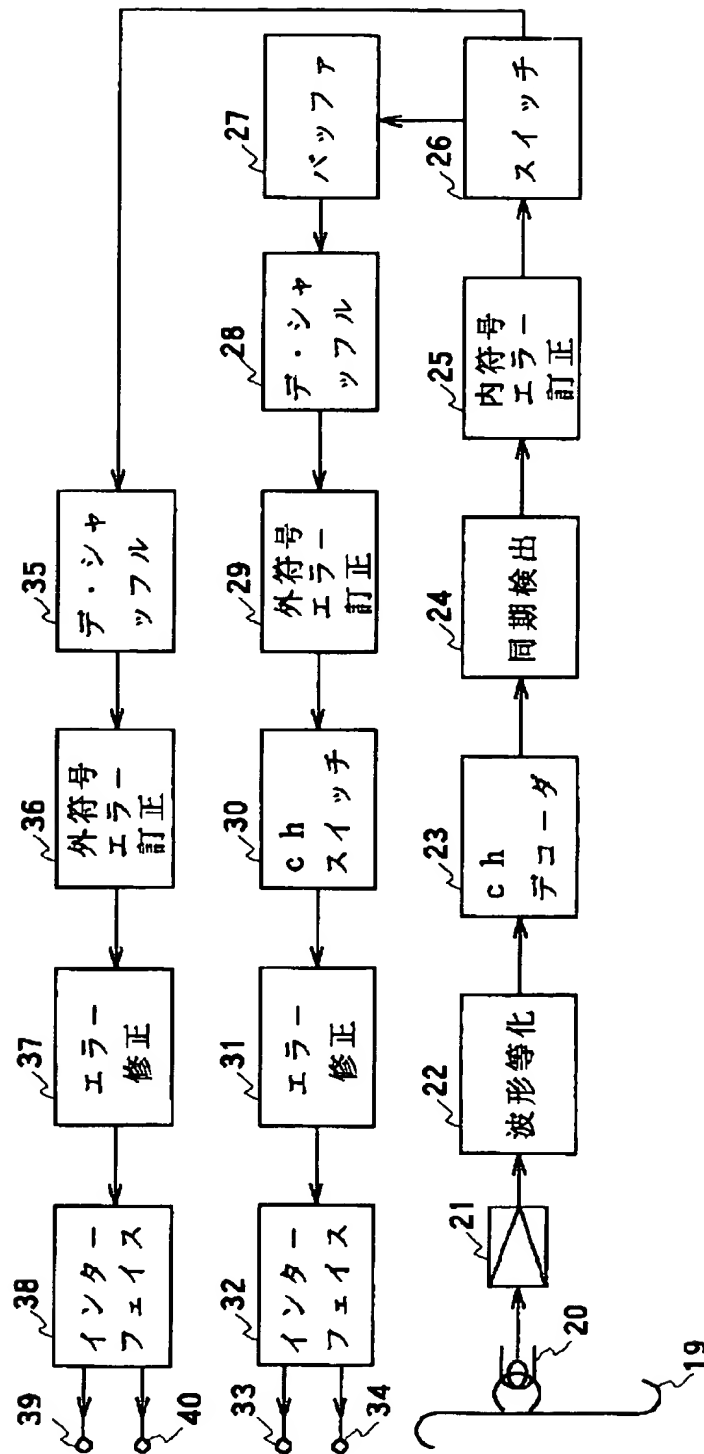
一実施例の説明に供する説明図

【図4】



デジタルVTRの記録系を示す構成図

【図5】



デジタルVTRの再生系を示す構成図